

06.4.2005

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 4 年   4 月 2 0 日  
Date of Application:

出 願 番 号            特 願 2 0 0 4 - 1 2 4 7 9 5  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 4 - 1 2 4 7 9 5 ]

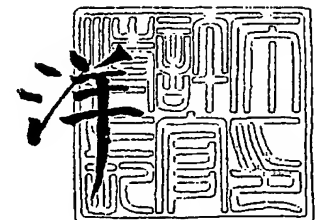
出   願   人            ソニー株式会社  
Applicant(s):

BEST AVAILABLE COPY

2 0 0 5 年   3 月   2 日

特許庁長官  
Commissioner,  
Japan Patent Office

小 川



【書類名】 特許願  
【整理番号】 0490326803  
【提出日】 平成16年 4月20日  
【あて先】 特許庁長官 今井 康夫 殿  
【国際特許分類】 G01C 3/28  
【発明者】  
    【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内  
    【氏名】 古川 徳昌  
【特許出願人】  
    【識別番号】 000002185  
    【氏名又は名称】 ソニー株式会社  
【代理人】  
    【識別番号】 100067736  
    【弁理士】  
    【氏名又は名称】 小池 晃  
【選任した代理人】  
    【識別番号】 100086335  
    【弁理士】  
    【氏名又は名称】 田村 榮一  
【選任した代理人】  
    【識別番号】 100096677  
    【弁理士】  
    【氏名又は名称】 伊賀 誠司  
【手数料の表示】  
    【予納台帳番号】 019530  
    【納付金額】 16,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9707387

**【書類名】 特許請求の範囲****【請求項 1】**

直列接続された複数の素子をパルス幅変調定電流駆動回路により定電流駆動する定電流駆動装置であって、

上記直列接続された複数の素子の各々に並列に接続されたサイリスタからなるバイパス回路を備え、

上記バイパス回路には、並列に接続された素子の正常動作時にはサイリスタがオフ状態にあり、上記素子がオープン状態になった場合に上記サイリスタをターンオンさせるゲート電位を上記サイリスタに与えるゲート電位設定回路を設けたことを特徴とする定電流駆動装置。

**【請求項 2】**

上記パルス幅変調定電流駆動回路のパルス幅変調用スイッチング素子に抵抗を並列接続し、ターンオンしたサイリスタがターンオン状態を維持するための維持電流を上記抵抗を介して流すことを特徴とする請求項 1 記載の定電流駆動装置。

**【請求項 3】**

上記直列接続された複数の素子は発光ダイオードであることを特徴とする請求項 1 記載の定電流駆動装置。

**【請求項 4】**

表示パネルを背面側から照明するバックライト光源装置であって、

直列接続された複数の発光ダイオードと、

上記直列接続された複数の発光ダイオードの各々に並列に接続されたサイリスタからなるバイパス回路を備え、

上記バイパス回路には、並列に接続された発光ダイオードの正常動作時にはサイリスタがオフ状態にあり、上記発光ダイオードがオープン状態になった場合に上記サイリスタをターンオンさせるゲート電位を上記サイリスタに与えるゲート電位設定回路を設けたことを特徴とするバックライト光源装置。

**【請求項 5】**

上記パルス幅変調定電流駆動回路のパルス幅変調用スイッチング素子に抵抗を並列接続し、ターンオンしたサイリスタがターンオン状態を維持するための維持電流を上記抵抗を介して流すことを特徴とする請求項 4 記載のバックライト光源装置。

**【請求項 6】**

カラーフィルタを備えた透過型のカラー液晶表示パネルと、このカラー液晶表示パネルを背面側から照明するバックライト光源装置とからなるカラー液晶表示装置であって、

上記バックライト光源装置は、直列接続された複数の発光ダイオードと、上記直列接続された複数の発光ダイオードの各々に並列に接続されたサイリスタからなるバイパス回路を備え、上記バイパス回路には、並列に接続された発光ダイオードの正常動作時にはサイリスタがオフ状態にあり、上記発光ダイオードがオープン状態になった場合に上記サイリスタをターンオンさせるゲート電位を上記サイリスタに与えるゲート電位設定回路を設けたことを特徴とするカラー液晶表示装置。

**【請求項 7】**

上記パルス幅変調定電流駆動回路のパルス幅変調用スイッチング素子に抵抗を並列接続し、ターンオンしたサイリスタがターンオン状態を維持するための維持電流を上記抵抗を介して流すことを特徴とする請求項 6 記載のカラー液晶表示装置。

【書類名】 明細書

【発明の名称】 定電流駆動装置、バックライト光源装置及びカラー液晶表示装置

【技術分野】

【0001】

本発明は、直列接続された複数の発光ダイオード (LED:light emitting diode) をパルス幅変調定電流駆動回路により定電流駆動するようにした定電流駆動装置、この定電流駆動装置により駆動されるバックライト光源装置及びカラー液晶表示装置に関する。

【背景技術】

【0002】

近年、液晶TVやプラズマディスプレイ (PDP:Plasma Display Panel) に代表されるようにディスプレイの薄型化が流れとしてあり、中でもモバイル用ディスプレイの多くは液晶系であり、忠実な色の再現性が望まれている。また、液晶パネルのバックライトは蛍光管を使ったCCFL (Cold Cathode Fluorescent Lamp) タイプが主流であるが、環境的に水銀レスが要求されてきており、CCFLに変わる光源として発光ダイオード等が有望視されている。

【0003】

一般的に、発光ダイオードを表示画素に用いたディスプレイでは、発光ダイオードをマトリクスの駆動をするために、各画素に対してX-Yのアドレッシング駆動回路を必要とし、これにより、光らせたい画素の位置にある発光ダイオードを選択 (アドレッシング) し、点灯させる時間を変調することにより輝度調整を実施し (パルス幅変調 (PWM:Pulse Width Modulation) 駆動)、所定の階調性のある表示画面を得ている。このため、駆動用の回路が複雑になりコストが高くなっている (例えば、特許文献1参照)。

【0004】

【特許文献1】 特開2001-272938号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

ところで、発光ダイオードは、寿命があり、不点灯になるが、個々の素子の壊れ方には、(1)断線してしまうOPENモードによる不良と、(2)短絡してしまうShortモードによる不良と、そのいずれでもなく、(3)光量の低下が発生するモードの3種類に大きくは分類される。

【0006】

これらの故障を検出するためには、1つ1つのLED素子を独立した駆動回路で駆動する方法を採用するとともに、個々の素子の動作状態を常にフィードバックするシステムを構築しなければならないので、コストがかさみ、実際の機器では実現が困難であった。

【0007】

また、発光ダイオードを個別の発光画素に使用した画像表示ディスプレイが存在しているが、その場合のマトリクス型の駆動においても、前述のように、発光ダイオード個々の素子の不良を個別に判断しさらに除去する機能を備えたシステムは、従来、存在していなかった。

【0008】

発光ダイオードを液晶ディスプレイのバックライトとして使用する場合、個々の発光ダイオードの電力が大きく、個数が比較的少ないため、不良により不点灯箇所が生じると、ムラなどを生じ、見苦しい。また、照明用途のLED駆動装置においては、大電力駆動用のマトリクス駆動LSI等は作成されておらず、現実的にはコスト面で不利であるため、直列接続形式が用いられると考えられるが、直列接続形式では、個々の発光ダイオードの不良が発生し、それが、断線の場合では、一列全てが不点灯となり、著しい色ムラを生じてしまう。

【0009】

そこで、本発明の目的は、上述の如き従来の実情に鑑み、直列接続された複数の素子例

例えば発光ダイオードを定電流駆動するにあたり、素子のOPENモードの不良時にその箇所の素子電流を迂回し、当該箇所の断線状態を自動的に回避するようにした定電流駆動装置、この定電流駆動装置により駆動されるバックライト光源装置及びカラー液晶表示装置を提供することにある。

【0010】

本発明の更に他の目的、本発明によって得られる具体的な利点は、以下に説明される実施の形態の説明から一層明らかにされる。

【課題を解決するための手段】

【0011】

本発明は、直列接続された複数の素子をパルス幅変調定電流駆動回路により定電流駆動する定電流駆動装置であって、上記直列接続された複数の素子の各々に並列に接続されたサイリスタからなるバイパス回路を備え、上記バイパス回路には、並列に接続された素子の正常動作時にはサイリスタがオフ状態にあり、上記素子がオープン状態になった場合に上記サイリスタをターンオンさせるゲート電位を上記サイリスタに与えるゲート電位設定回路を設けたことを特徴とする。

【0012】

また、本発明は、表示パネルを背面側から照明するバックライト光源装置であって、直列接続された複数の発光ダイオードと、上記直列接続された複数の発光ダイオードの各々に並列に接続されたサイリスタからなるバイパス回路を備え、上記バイパス回路には、並列に接続された発光ダイオードの正常動作時にはサイリスタがオフ状態にあり、上記発光ダイオードがオープン状態になった場合に上記サイリスタをターンオンさせるゲート電位を上記サイリスタに与えるゲート電位設定回路を設けたことを特徴とする。

【0013】

さらに、本発明は、カラーフィルタを備えた透過型のカラー液晶表示パネルと、このカラー液晶表示パネルを背面側から照明するバックライト光源装置とからなるカラー液晶表示装置であって、上記バックライト光源装置は、直列接続された複数の発光ダイオードと、上記直列接続された複数の発光ダイオードの各々に並列に接続されたサイリスタからなるバイパス回路を備え、上記バイパス回路には、並列に接続された発光ダイオードの正常動作時にはサイリスタがオフ状態にあり、上記発光ダイオードがオープン状態になった場合に上記サイリスタをターンオンさせるゲート電位を上記サイリスタに与えるゲート電位設定回路を設けたことを特徴とする。

【発明の効果】

【0014】

本発明では、直列接続された複数の素子の各々に並列に接続されたサイリスタからなるバイパス回路に備えられるゲート電位設定回路によって、並列に接続された素子の正常動作時にはサイリスタがオフ状態にあり、上記素子がオープン状態になった場合に上記サイリスタをターンオンさせるゲート電位を上記オープン状態になった素子に接続されているサイリスタに与えるので、直列接続された複数の素子例えば発光ダイオードを定電流駆動するにあたり、素子のOPENモードの不良時にその箇所の素子電流を迂回し、当該箇所の断線状態を自動的に回避することができる。

【発明を実施するための最良の形態】

【0015】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。なお、本発明は以下の例に限定されるものではなく、本発明の要旨を逸脱しない範囲で、任意に変更可能であることは言うまでもない。

【0016】

本発明は、例えば図1に示すような構成のバックライト方式のカラー液晶表示装置100に適用される。

【0017】

このカラー液晶表示装置100は、透過型のカラー液晶表示パネル10と、このカラー

液晶表示パネル 10 の背面側に設けられたバックライト光源装置 20 からなる。

【0018】

透過型のカラー液晶表示パネル 10 は、ガラス等の構成された 2 枚の透明な基板 (TF 基板 11、対向電極基板 12) を互いに対向配置させ、その間隙に例えばツイステッドネマチック (TN) 液晶を封入した液晶層 13 を設けた構成となっている。TF 基板 11 にはマトリクス状に配置された信号線 14 と走査線 15 及びこれらの交点に配置されたスイッチング素子としての薄膜トランジスタ 16 と画素電極 17 が形成されている。薄膜トランジスタ 16 は走査線 15 により順次選択されると共に、信号線 14 から供給される映像信号に対応する画素電極 17 に書き込む。一方、対向電極基板 12 の内表面には対向電極 18 及びカラーフィルタ 19 が形成されている。

【0019】

このカラー液晶表示装置 100 では、このような構成の透過型のカラー液晶表示パネル 10 を 2 枚の偏光板 31、32 で挟み、バックライト光源装置 20 により背面側から白色光を照射した状態で、アクティブマトリクス方式で駆動することによって、所望のフルカラー映像表示が得られる。

【0020】

上記バックライト光源装置 20 は、光源 21 と波長選択フィルタ 22 からなり、上記光源 21 が射出する光で上記波長選択フィルタ 22 を介して上記カラー液晶表示パネル 10 を背面側から照明する。

【0021】

このカラー液晶表示装置 100 は、例えば図 2 に電氣的なブロック構成を示す駆動回路 200 により駆動される。

【0022】

この駆動回路 200 は、カラー液晶表示パネル 10 やバックライト光源装置 20 の駆動電源を供給する電源部 110、カラー液晶表示パネル 10 を駆動する X ドライバ回路 120 及び Y ドライバ回路 130、外部から映像信号が入力端子 140 を介して供給される RGB プロセス処理部 150、この RGB プロセス処理部 150 に接続された映像メモリ 160 及び制御部 170、バックライト光源装置 20 の駆動制御するバックライト駆動制御部 180 等を備えてなる。

【0023】

この駆動回路 200 において、入力端子 140 を介して入力された映像信号は、RGB プロセス処理部 150 によりクロマ処理等の信号処理がなされ、さらに、コンポジット信号からカラー液晶表示パネル 10 の駆動に適した RGB セパレート信号に変換されて、制御部 170 に供給されるとともに、画像メモリ 160 を介して X ドライバ 120 に供給される。また、制御部 170 は、上記 RGB セパレート信号に応じた所定のタイミングで X ドライバ 120 及び Y ドライバ回路 130 を制御して、上記画像メモリ 160 を介して X ドライバ 120 に供給される RGB セパレート信号でカラー液晶表示パネル 10 を駆動することにより、上記 RGB セパレート信号に応じた映像を表示する。

【0024】

ここで、カラーフィルタ 19 は各画素電極 17 に対応した複数のセグメントに分割されている。例えば、図 3 の (A) に示すように 3 原色である赤色フィルタ CFR、緑色フィルタ CFG、青色フィルタ CFB の 3 つのセグメント、図 3 の (B) に示すように 3 原色 (RGB) にシアン (C) を加えた赤色フィルタ CFR、シアン色フィルタ CFC、緑色フィルタ CFG、青色フィルタ CFB の 4 つのセグメント、あるいは、図 3 の (C) に示すように 3 原色 (RGB) にシアン (C) とイエロー (Y) を加えた赤色フィルタ CFR、シアン色フィルタ CFC、青色フィルタ CFG、イエロー色フィルタ CFY、青色フィルタ CFB の 5 つのセグメントに分割されている。

【0025】

ここで、上記バックライト光源装置 20 には、透過型のカラー液晶表示パネル 10 を背面に配設された複数の発光ダイオード (LED: light emitting diode) により照射するエリアラ

イト方式の光源 21 が採用されている。

【0026】

このバックライト光源装置 20 の光源 21 における発光ダイオードの配置について説明する。

【0027】

図 4 は、発光ダイオードの配置例として、単位セル 4-1, 4-2 毎に、赤の発光ダイオード 1、緑の発光ダイオード 2 及び青の発光ダイオード 3 をそれぞれ 2 個使用し、合計 6 個の発光ダイオードを一行に配列した様子を示している。

【0028】

この配置例では 6 個であるが、使用する発光ダイオードの定格、発光効率などにより、混合色をバランスの良い白色光とするために、光出力バランスを整える必要から、各色の個数配分は本例以外のバリエーションがありうる。

【0029】

図 4 に示した配置例において、上記単位セル 4-1 と単位セル 4-2 は、全く同一の物であり、中央の両端矢印部分で接続されている。また、図 5 は、上記単位セル 4-1 及び単位セル 4-2 が接続された形を電気回路図記号のダイオードマークによって図示したものである。この例の場合、各発光ダイオード、すなわち、赤の発光ダイオード 1、緑の発光ダイオード 2、青の発光ダイオード 3 は左から右に電流が流れる方向に極性を合わせて直列接続されている。

【0030】

ここで、赤の発光ダイオード 1、緑の発光ダイオード 2 及び青の発光ダイオード 3 をそれぞれ 2 個使用し、合計 6 個の発光ダイオードを一行に配列した単位セル 4 を各色の発光ダイオードの個数でパターン表記すると図 6 に示すように (2G 2R 2B) となる。すなわち、(2G 2R 2B) は、緑と赤と青 2 個ずつ合計 6 個のパターンを基本単位としていることを示す。そして、図 7 に示すように、上記基本単位の単位セル 4 を 3 つ連続に繋げた場合、記号が 3 \* (2G 2R 2B) で、発光ダイオードの個数でパターン表記すると (6G 6R 6B) で示される。

【0031】

次に、上記バックライト光源装置 20 の光源 21 における実際の発光ダイオードの配置例を図 7 の表記に基づき説明する。

【0032】

光源 21 には、図 8 に示すように、前述した発光ダイオードの基本単位 (2G 2R 2B) の 3 倍を 1 つの中単位 (6G 6R 6B) として、垂直に 4 行、水平に 5 列、合計で 360 個の発光ダイオードが配置されている。

【0033】

そして、上記 360 個の発光ダイオード全てに対して、個々のアドレッシングを施すことは容易でないので、このバックライト光源装置 20 では、図 9 に示すような駆動構成としている。

【0034】

すなわち、n 列のそれぞれに対応する RGB のペア  $g_1 \sim g_n$  は、各列に RGB の各発光ダイオードそれぞれが独立して直列接続されており、DC-DC コンバータ 7 により定電流が流される構成となっている。

【0035】

図 10 を参照して、定電流を LED 直列接続基板 m1, m2 に流すための具体的な構成例の説明をする。

【0036】

すなわち、複数の発光ダイオードが直列接続された LED 列 40 は、一端が検出抵抗 (Rc) 5 を介して DC-DC コンバータ 7 に接続され、また、他端が FET 6 を介して接地されている。

【0037】

上記DC-DCコンバーター7は、出力電圧 $V_{cc}$ の設定に対して、検出抵抗5による電圧降下を検出して、直列接続されたLED列に所定の定電流 $I_{LED}$ が流れるようにフィードバックループを構成している。この例では、上記検出抵抗5による降下電圧がサンプルホールドスイッチ8を介してコンデンサ9にサンプルホールドされて上記DC-DCコンバーター7に帰還される。

#### 【0038】

また、上記バックライト駆動制御部180に備えられたドライバーIC181からFET6のゲートに加えられるmain PWM (Pulse Width Modulation) 信号により、LED列40に流れる電流が所定の期間ON-OFFされることにより、発光ダイオードの発光量を増減せしめる構成となっている。

#### 【0039】

すなわち、このバックライト光源装置20では、上記バックライト駆動制御部180に備えられたドライバーIC181から供給されるmain PWM信号によりFET6をスイッチング動作させて、複数の発光ダイオード41A~41Eを直列接続してなるLED列40にDC-DCコンバーター7により供給された駆動電流をON-OFFすることによって、上記発光ダイオード41A~41Eをパルス幅変調電流駆動するようになっている。

#### 【0040】

なお、この例では、定電流を波高値で制御するために、電流検出のフィードバックループにサンプルホールドを備えているが、これはひとつの例であって、他の方法を用いてもよい。

#### 【0041】

また、この例では、main PWM信号に基づいてサンプルホールドスイッチ駆動回路183により作成されるサンプルパルスが上記サンプルホールドスイッチ8に供給されるようになっている。

#### 【0042】

なお、この図10に示した一群のLED列40は、図9に示したn列のそれぞれに対応するRGBのペア $g_1 \sim g_n$ の1列に対してしている。したがって、同様の回路が、本例では、 $g_n$ 列 $\times 3$ 倍(RGB分)必要となる。

#### 【0043】

次に、このバックライト光源装置20において、直列接続された複数の発光ダイオードを定電流駆動するにあたり、素子のOPENモードの不良時にその箇所の素子電流を迂回し、当該箇所の断線状態を自動的に回避するための構成について、図11~図13を参照して説明する。

#### 【0044】

すなわち、図11に示す構成例では、直列接続された5個の発光ダイオード41A~41Eには、個々に並列に接続されたサイリスタ81A~81Eと分圧抵抗82A ( $R_{a1}$ ,  $R_{a2}$ )~82E ( $R_{e1}$ ,  $R_{e2}$ ) からなるバイパス回路80A~80Eが設けられている。

#### 【0045】

上記分圧抵抗82A~82Eは、各中点がサイリスタ81A~81Eのゲート端子に接続されており、並列に接続された発光ダイオード41A~41Eの正常動作時にはサイリスタ81A~81Eがオフ状態にあり、上記発光ダイオード41A~41Eがオープン状態になった場合に上記サイリスタ81A~81Eをターンオンさせるゲート電位を上記サイリスタ81A~81Eに与えるゲート電位設定回路83A~83Eを構成している。

#### 【0046】

直列接続された5個の発光ダイオード41A~41Eは、正常に動作している場合、上から下に向けて、各々 $V_{fa} \sim V_{fe}$ までの個別の電圧降下を有しており、製造ロットに応じてばらつきを持つ。また、直列接続された5個の発光ダイオード41A~41EはFET6によってPWM駆動される。そして、この構成例では、上記FET6に並列に抵抗



85 (Rf) を接続することによって、ターンオンしたサイリスタがターンオン状態を維持するための最低維持電流を上記抵抗85を介して流すようになっている。

【0047】

抵抗85は、上記FET6がoffの状態のときに、発光ダイオード41A～41EにI・Rfなる電流をわずかに流しておくために設けられている。つまり、完全な発光は期待できないが、サイリスタがターンオフすることのない最低維持電流を常に流しておく。

【0048】

ここで、図12を用いてサイリスタについて簡単に説明する。

【0049】

サイリスタは、図12の(A)に示すようにトランジスタにさらにもう一つPN接合を付けたPNPNの4層からなる素子でアノードAとゲートGとカソードKの3端子素子であり、アノード・カソード(A-K)間は通常導通していないが、ゲートGに+、カソードKに-の電圧を加えると、図12の(B)に示すようにゲート電流が流れ(I1)、アノードAからカソードKに電流が流れるようになる。そして、これはゲート・カソード(G-K)間への電圧印加を停止しても続く。すなわち、ゲート・カソード(G-K)間に短時間でも電圧を印加すれば、(I2)、(I3)を経てアノード端子Aからカソード端子Kに電流が流れ導通状態に至る。アノード・カソードA-K間の印加電圧を取り去らないで、最低維持電流を流せば、電流が流れ続ける。サイリスタのON抵抗は低く、損失が少ない。

【0050】

上記ゲート電位設定回路83A～83Eは、発光ダイオード41A～41Eが正常に動作している状態における各発光ダイオード41A～41Eでの電圧降下(この例では約4V)では各サイリスタ81A～81Eをオフ状態に維持する。

【0051】

そして、図13に示すように、例えば発光ダイオード41BにOPENモードの不良が発生すると、この発光ダイオード41Bの端子電圧が上昇することにより、瞬時に、ゲート電流が流れてサイリスタ81Bが瞬時にターンオンする。ターンオンしたサイリスタ81B、ON状態は、サイリスタの性質によって、印加電圧を取り去るか、最低維持電流以下にならない限り、ゲート電位を取り去っても続くので、上記抵抗85の抵抗値を適正に設定することによって、OPEN不良となった発光ダイオードを効果的にバイパスすることができる。

【図面の簡単な説明】

【0052】

【図1】本発明を適用したバックライト方式のカラー液晶表示装置の構成を示す模式的な斜視図である。

【図2】上記カラー液晶表示装置の駆動回路の構成を示すブロック図である。

【図3】上記カラー液晶表示装置におけるカラー液晶パネルに設けられるカラーフィルタの構成を示す模式的な平面図である。

【図4】上記カラー液晶表示装置を構成するバックライト光源装置における発光ダイオードの配置例を模式的に示す図である。

【図5】上記発光ダイオードの配置例における各発光ダイオードが接続された形を電気回路図記号のダイオードマークによって模式的に示した図である。

【図6】赤の発光ダイオード、緑の発光ダイオード及び青の発光ダイオードをそれぞれ2個使用し、合計6個の発光ダイオードを一行に配列した単位セルを各色の発光ダイオードの個数でパターン表記して模式的に示した図である。

【図7】基本単位の単位セル4を3つ連続に繋げた場合を発光ダイオードの個数でパターン表記して模式的に示した図である。

【図8】上記バックライト光源装置の光源21における実際の発光ダイオードの配置例をLEDの個数でパターン表記して模式的に示した図である。

【図9】上記バックライト光源装置における発光ダイオードの駆動構成を模式的に示

す図である。

【図 10】上記バックライト光源装置における直列接続された複数の発光ダイオードに定電流を流すための具体的な構成例を模式的に示す図である。

【図 11】上記バックライト光源装置において、直列接続された複数の発光ダイオードを定電流駆動するにあたり、素子の OPEN モードの不良時にその箇所の素子電流を迂回し、当該箇所の断線状態を自動的に回避するための構成を模式的に示す図である。

【図 12】サイリスタの構造及び動作を模式的に示す図である。

【図 13】上記バックライト光源装置において、直列接続された複数の発光ダイオードの OPEN モードの不良時に、その箇所の素子電流を迂回し、当該箇所の断線状態を回避する動作を模式的に示す図である。

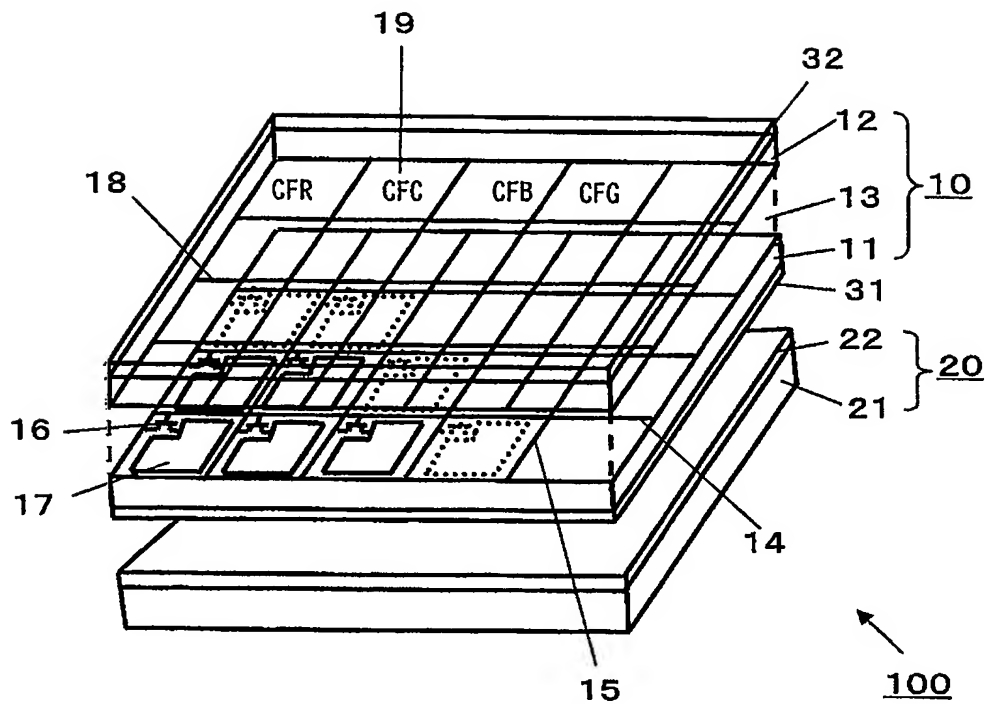
【符号の説明】

【0053】

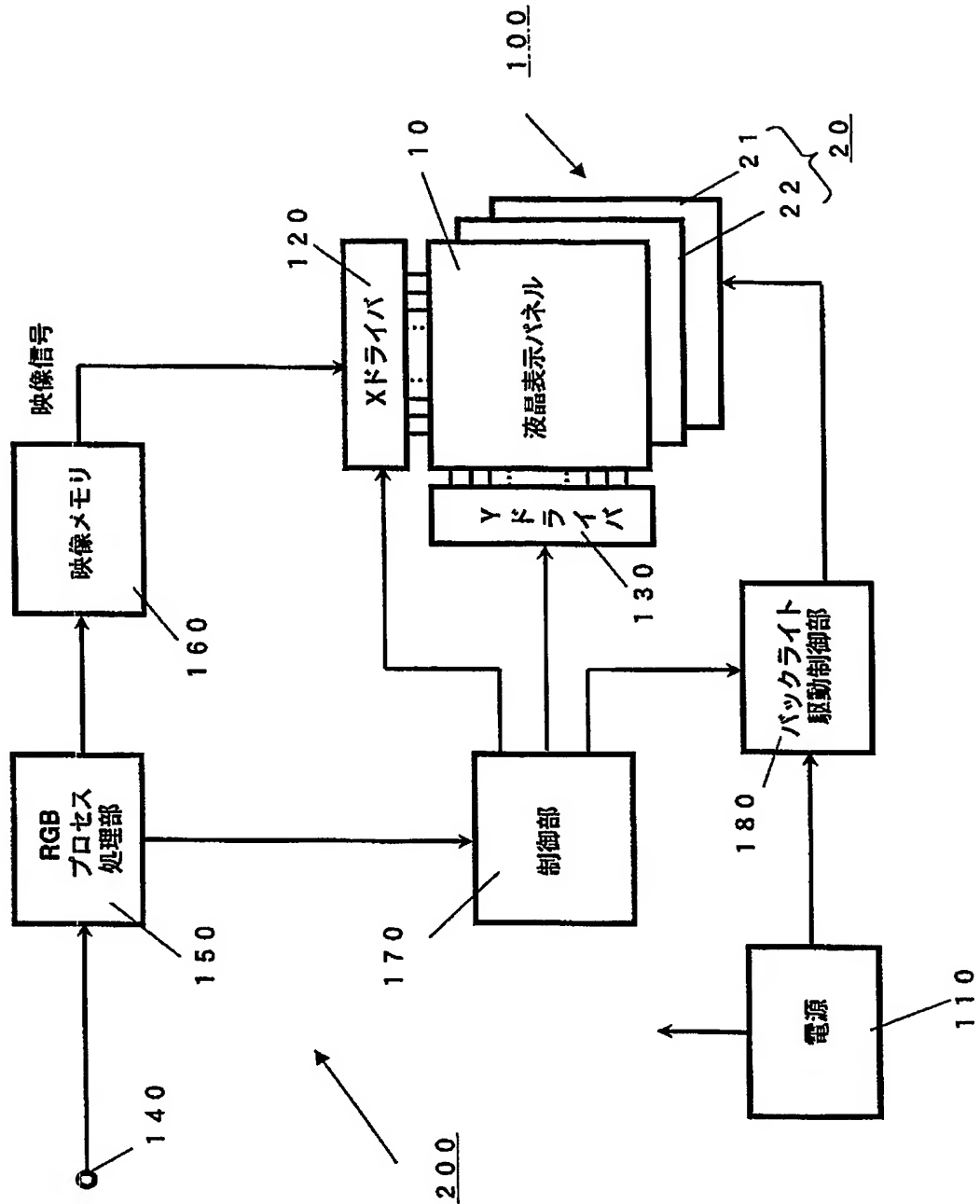
1, 2, 3, 41, 41A~41E 発光ダイオード、4-1, 4-2 単位セル、5 検出抵抗、6 FET、7 DC-DCコンバーター、8 サンプルホールドスイッチ、9 コンデンサ、10 カラー液晶表示パネル、11 TFT基板、12 対向電極基板、13 液晶層、14 信号線、15 走査線、16 薄膜トランジスタ、17 画素電極、18 対向電極、19 カラーフィルタ、20 バックライト光源装置、21 光源、22 波長選択フィルタ、31, 32 偏光板、40 LED列、80A~80E バイパス回路、81A~81E サイリスタ、82A~82E 分圧抵抗、83A~83E ゲート電圧設定回路、85 抵抗、100 カラー液晶表示装置、110 電源部、120 Xドライバ回路、130 Yドライバ回路、140 入力端子、140、150 RGBプロセス処理部、160 映像メモリ、170 制御部、180 バックライト駆動制御部、181 ドライバーIC、182 駆動制御回路、183 サンプルホールドスイッチ駆動回路、200 駆動回路

【書類名】 図面

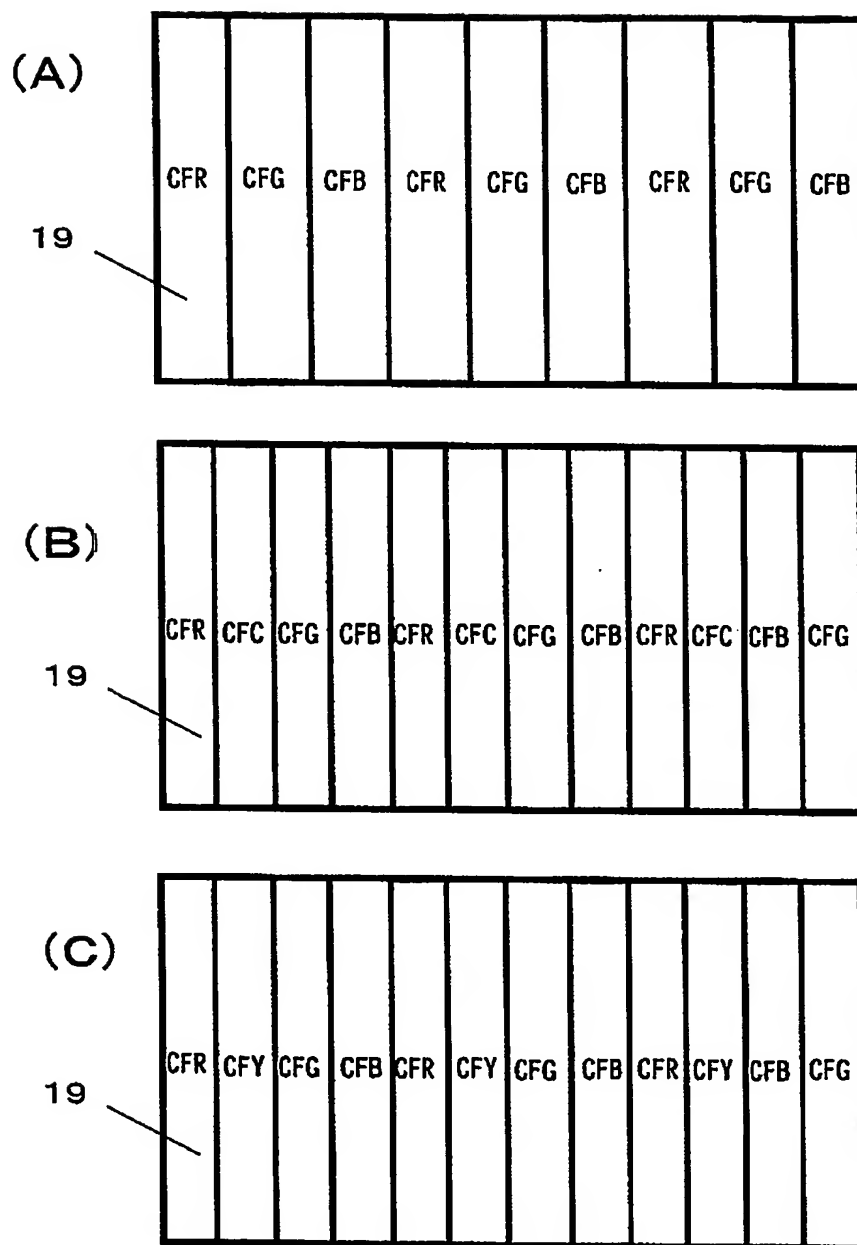
【図 1】



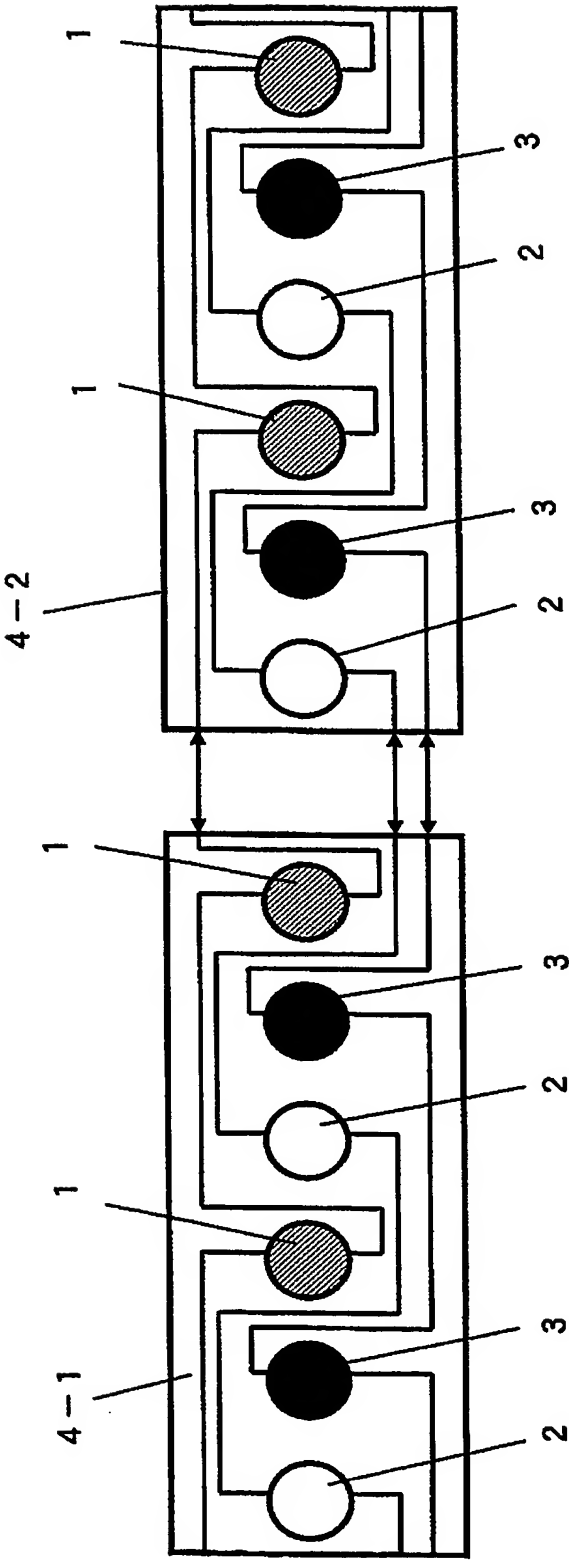
【図2】



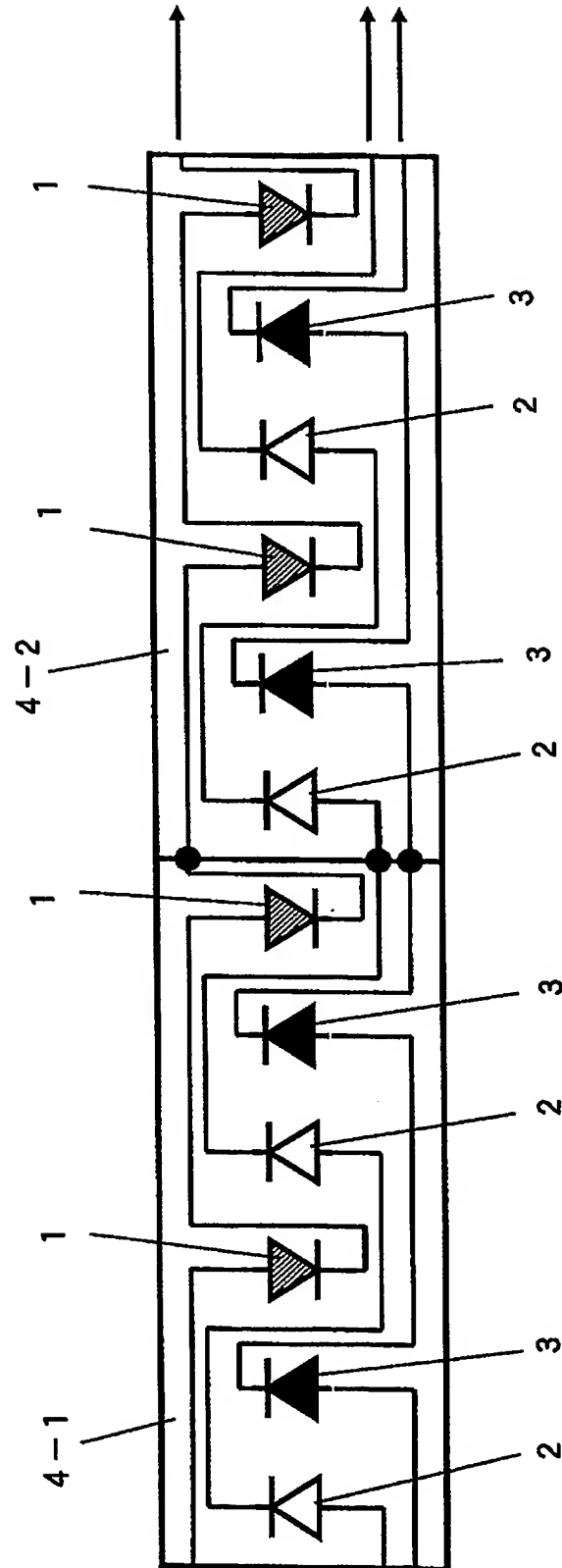
【図 3】



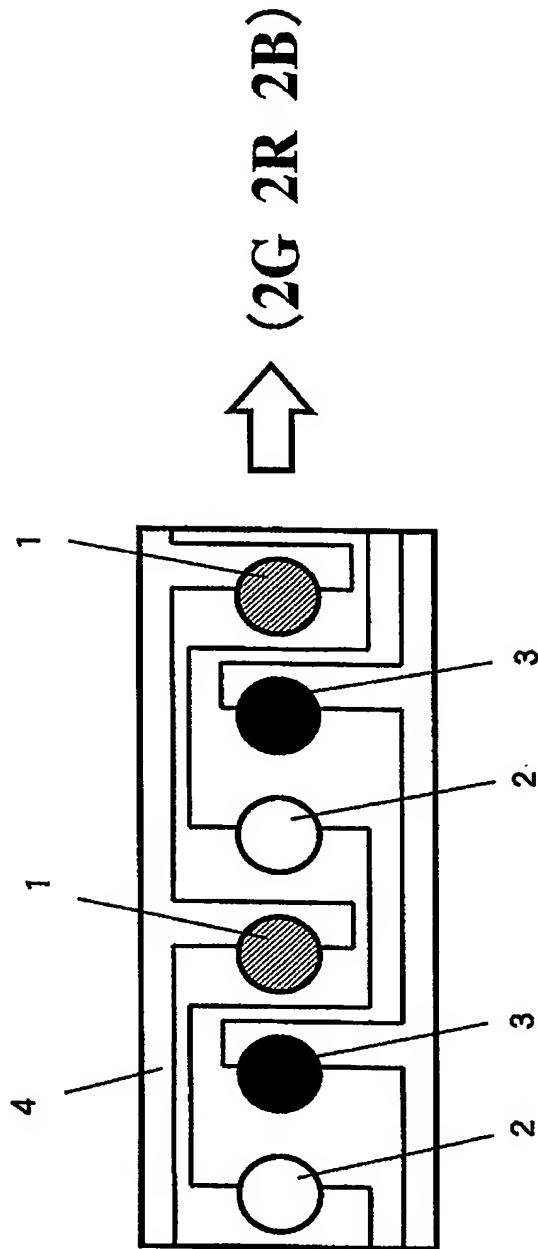
【図4】



【図 5】

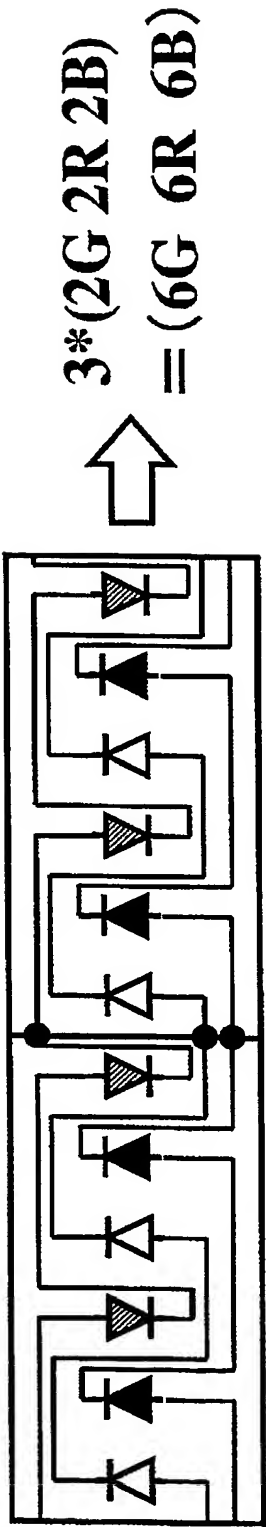


【図 6】



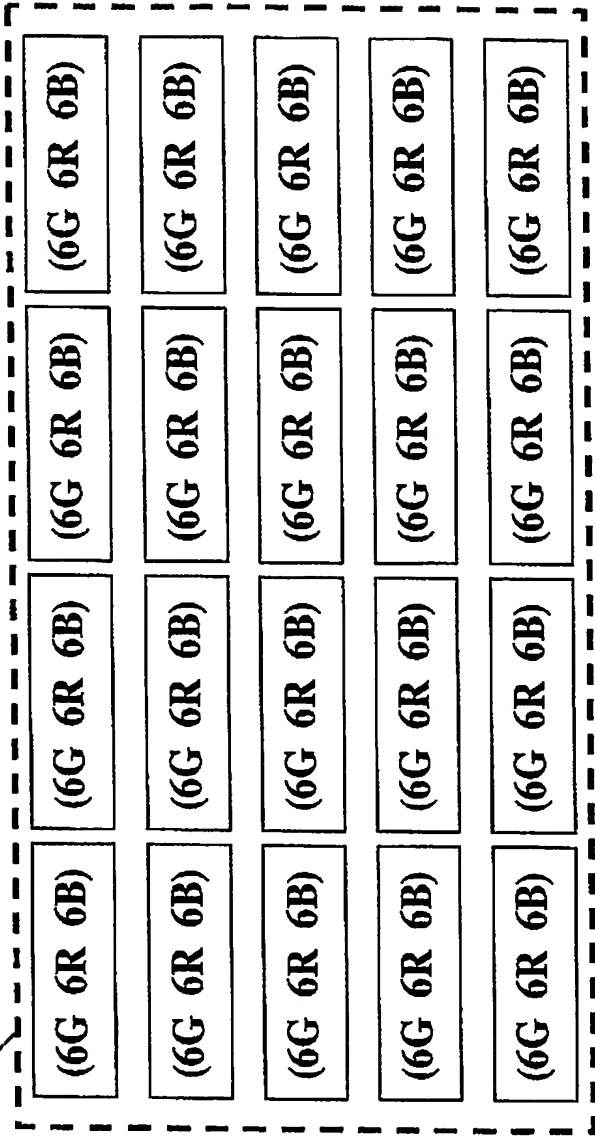


【図 7】

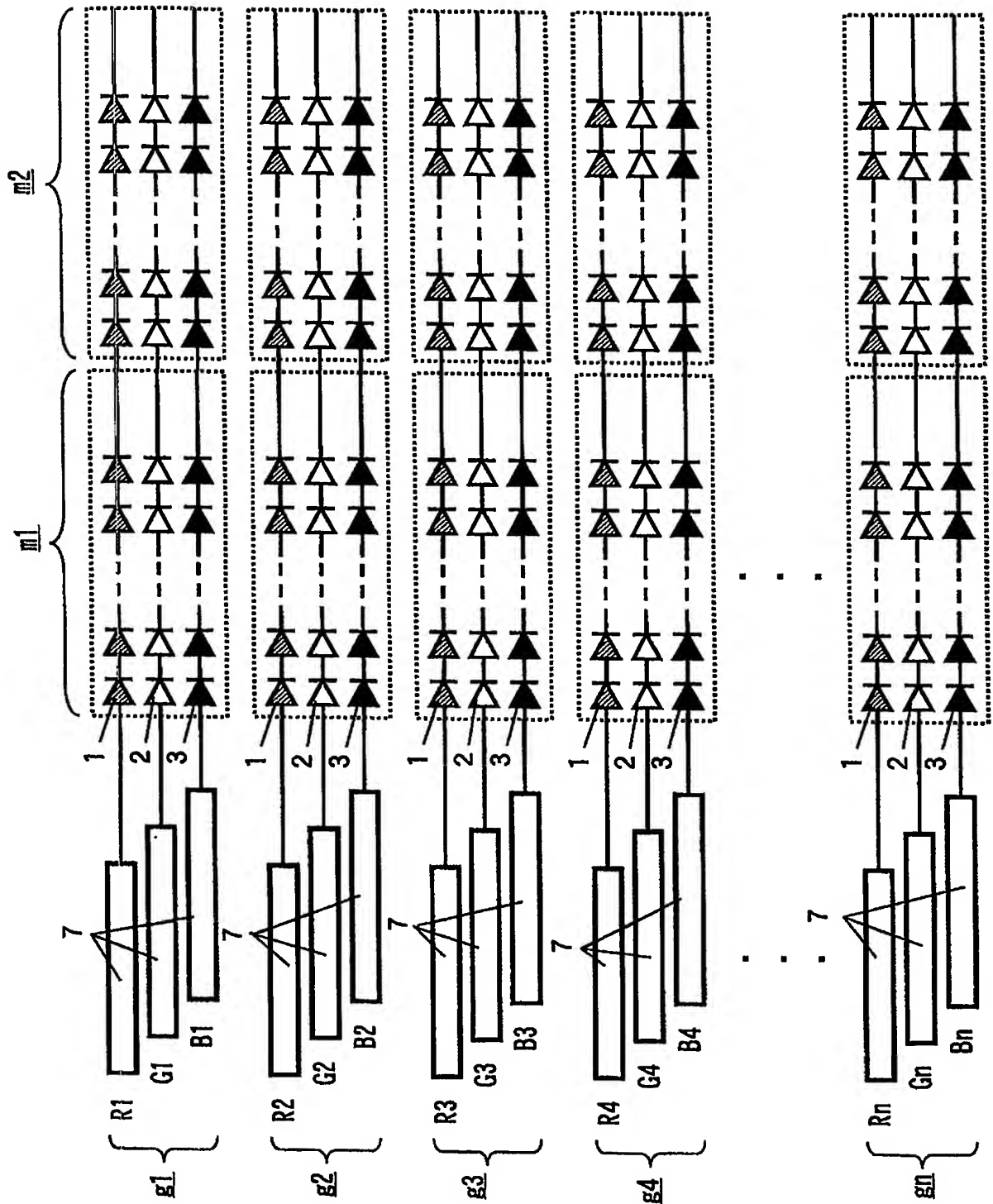


【図 8】

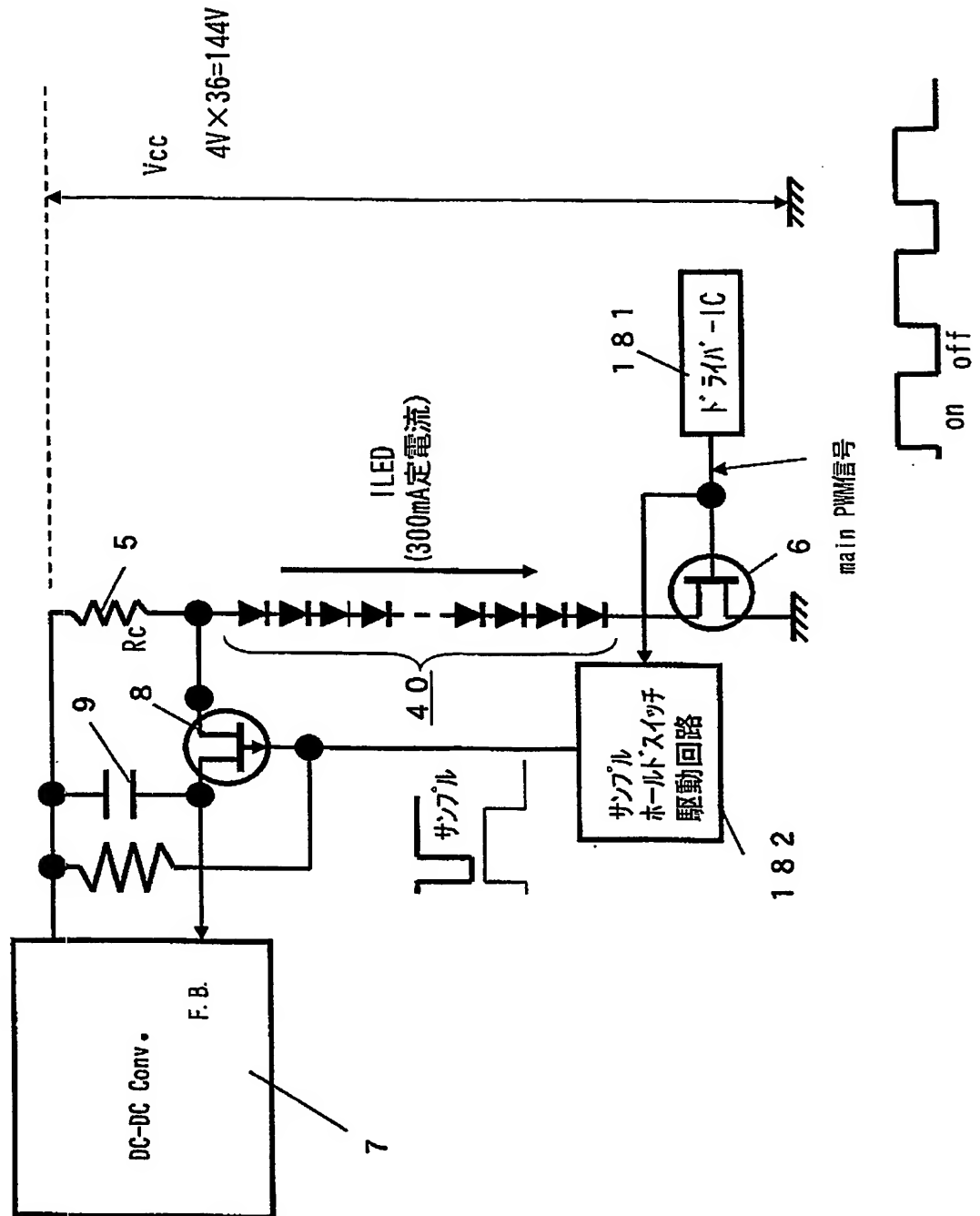
21



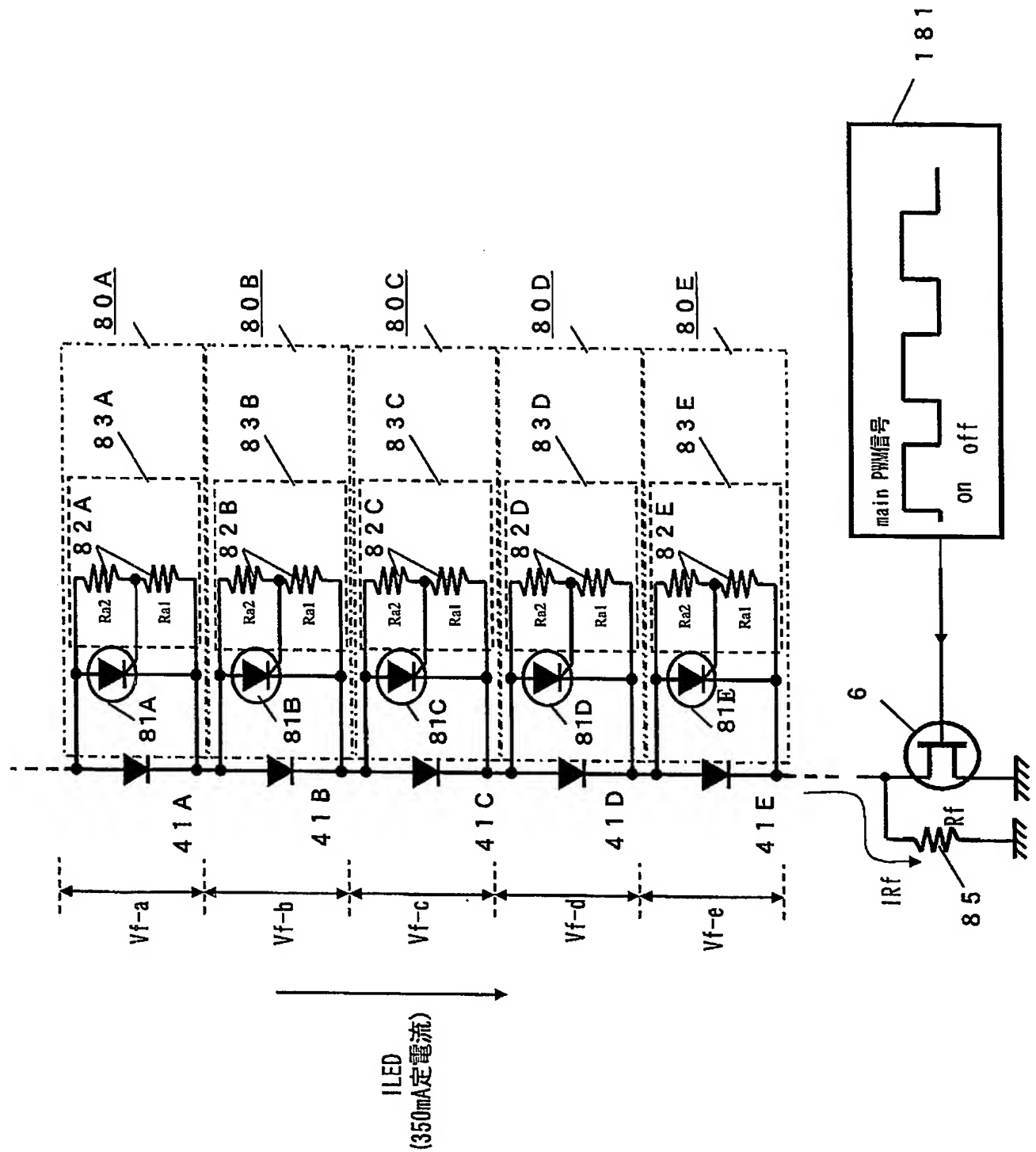
【図 9】



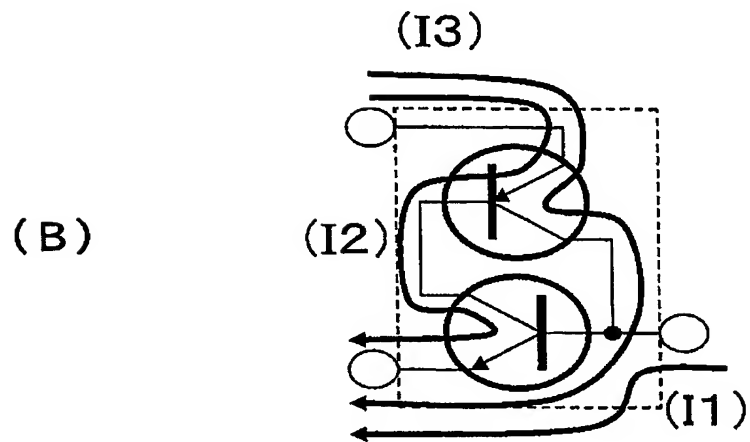
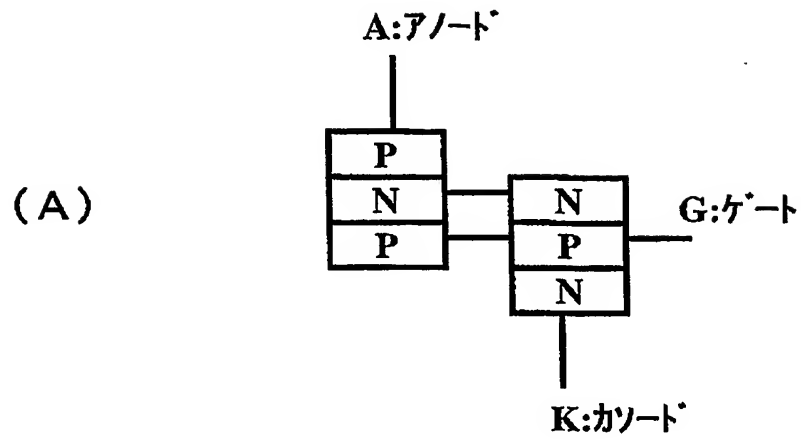
【図 10】



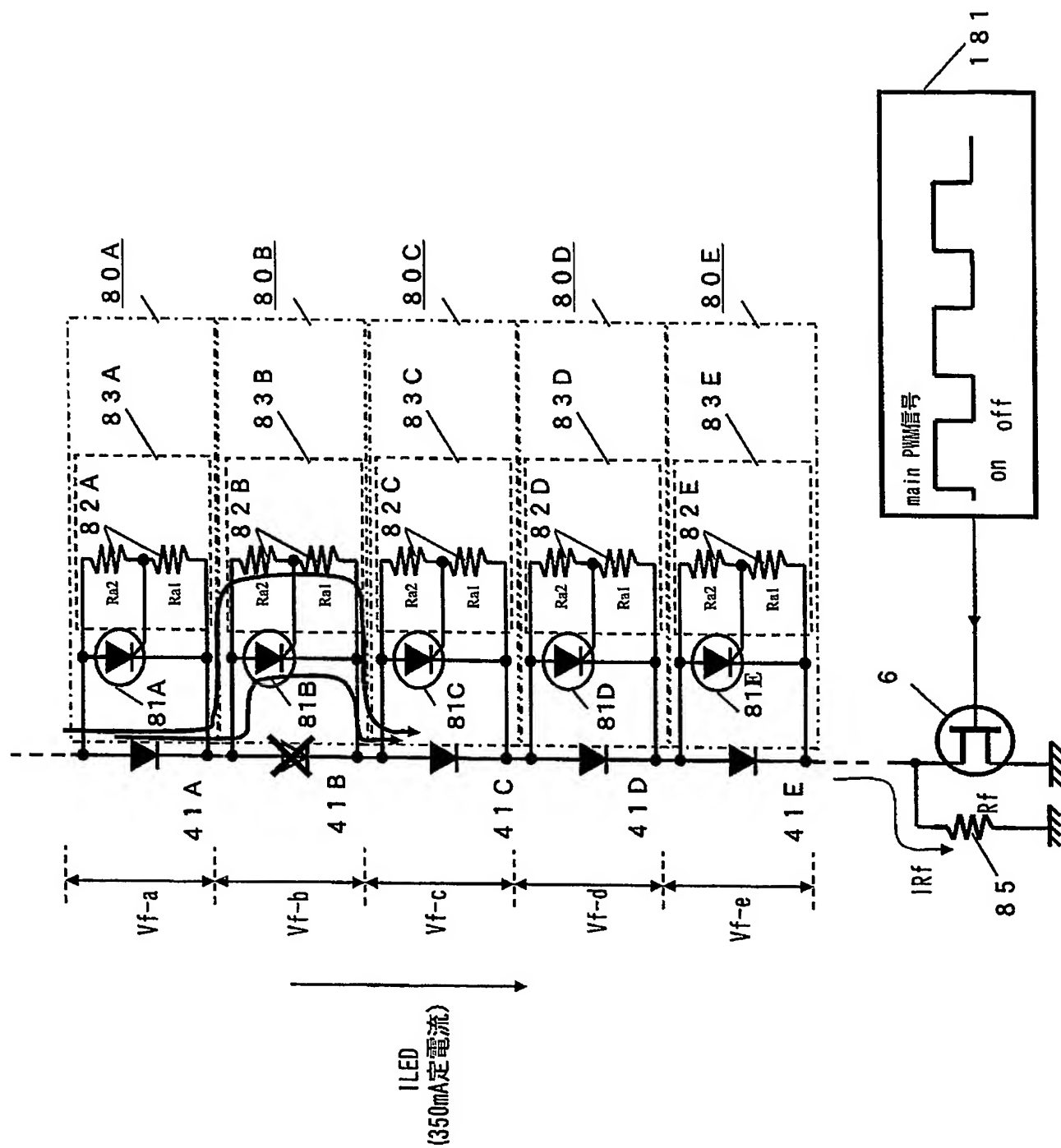
【圖 1 1】



【図12】



【図13】



## 【書類名】 要約書

## 【要約】

【課題】 直列接続された複数の素子例えば発光ダイオードを定電流駆動するにあたり、素子のOPENモードの不良時にその箇所の素子電流を迂回し、当該箇所の断線状態を自動的に回避する。

【解決手段】 直列接続された複数の発光ダイオード 41A～41E の各々に並列に接続されたサイリスタ発光ダイオード 81A～81E からなるバイパス回路 80A～80E に備えられるゲート電位設定回路 83A～83E によって、並列に接続された発光ダイオード 41A～41E の正常動作時にはサイリスタ 83A～83E がオフ状態にあり、上記発光ダイオード 41A～41E がオープン状態になった場合に上記オープン状態になった発光ダイオード並列接続されているサイリスタをターンオンさせるゲート電位を上記サイリスタに与える。

【選択図】 図 13



特願 2 0 0 4 - 1 2 4 7 9 5

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 2 1 8 5 ]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名

ソニー株式会社

# Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/005370

International filing date: 24 March 2005 (24.03.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP  
Number: 2004-124795  
Filing date: 20 April 2004 (20.04.2004)

Date of receipt at the International Bureau: 28 April 2005 (28.04.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland  
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**